

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yuuichi HOTTA

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: April 14, 2004

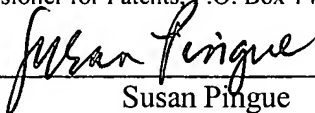
Examiner: Not yet assigned

Title: INPUT/OUTPUT CIRCUIT AND SEMICONDUCTOR INTEGRATED
CIRCUIT

EXPRESS MAIL NUMBER: EV 302280584 US

DATE OF DEPOSIT: April 14, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.


Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NO.

MONTH/DAY/YEAR

Japan

P2003-124285

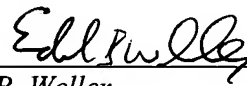
April 28, 2003

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: April 14, 2004

By 
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application:	April 28, 2003
Application Number:	Patent Application No. 2003-124285
Applicant(s):	KABUSHIKI KAISHA TOSHIBA

December 3, 2003

Commissioner,

Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3099829

S-961

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 4 2 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 4 2 8 5]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康





【書類名】 特許願

【整理番号】 ASB029051

【提出日】 平成15年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28
H01L 27/04

【発明の名称】 入出力回路及び半導体集積回路

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 堀田 雄一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入出力回路及び半導体集積回路

【特許請求の範囲】

【請求項 1】 基準クロックを発生させる基準クロック発生回路と、
前記基準クロック及びテストクロックのいずれかと同期してシリアルデータを
送信する信号送信部と、

前記基準クロックと同期して前記シリアルデータから変換信号を生成する信号
受信部と、

前記信号送信部が前記テストクロックと同期時において、前記変換信号の位相
と前記テストクロックの位相との位相誤差を検出するテスト回路

とを備えることを特徴とする入出力回路。

【請求項 2】 前記信号受信部は、
前記シリアルデータをバッファリングするレシーバと、
バッファリングされた前記シリアルデータ及び前記基準クロックに基づいて再
生クロックを生成するクロック再生回路

とを備えることを特徴とする請求項 1 に記載の入出力回路。

【請求項 3】 前記テスト回路は、前記テストクロック及び前記基準クロッ
クのいずれかを前記信号送信部に供給するセレクタを備えることを特徴とする請
求項 1 に記載の入出力回路。

【請求項 4】 前記テスト回路は、前記テストクロックを生成するテストク
ロック生成回路を備えることを特徴とする請求項 1 に記載の入出力回路。

【請求項 5】 前記テスト回路は、前記再生クロックを前記変換信号として
前記テストクロックと比較するクロック比較回路を備えることを特徴とする請求
項 2 に記載の入出力回路。

【請求項 6】 前記クロック比較回路は、
n を 2 以上の整数として、前記再生クロックを一定時間遅延させて第 1 ～ 第 n
の遅延信号を生成する遅延回路部と、
前記第 1 ～ 第 n の遅延信号を前記テストクロックと同期してラッチして第 1 ～
第 n のラッチ信号を生成するラッチ回路部と、

前記第 n ラッチ信号及び前記第 $(n - 1)$ ラッチ信号を排他的論理和演算して誤差検出信号を生成する排他的論理和回路部と、

前記誤差検出信号を前記テストクロックと同期してカウントするカウンタ部とを備えることを特徴とする請求項 5 に記載の入出力回路。

【請求項 7】 前記受信回路部は、バッファリングされた前記シリアルデータを前記再生クロックと同期してパラレルデータに変換するシリアル／パラレル変換器を備えることを特徴とする請求項 2 に記載の入出力回路。

【請求項 8】 前記テスト回路は、前記パラレルデータを前記変換信号として前記テストクロックと比較するクロック比較回路を備えることを特徴とする請求項 7 に記載の入出力回路。

【請求項 9】 前記クロック比較回路は、

n を 2 以上の整数として、前記パラレルデータを一定時間遅延させて第 1 ～第 n の遅延信号を生成する遅延回路部と、

前記第 1 ～第 n 遅延信号を前記テストクロックと同期してラッチして第 1 ～第 n ラッチ信号を生成するラッチ回路部と、

前記第 n ラッチ信号及び前記第 $(n - 1)$ ラッチ信号を排他的論理和演算して誤差検出信号を生成する排他的論理和回路部と、

前記誤差検出信号を前記テストクロックと同期してカウントするカウンタ部とを備えることを特徴とする請求項 8 に記載の入出力回路。

【請求項 10】 テストクロックと同期してシリアルデータを送信し、前記シリアルデータから変換信号を生成し、前記変換信号の位相と前記テストクロックの位相との位相誤差を検出する入出力回路と、

該入出力回路を介して外部と信号を送受信する内部回路とを備えることを特徴とする半導体集積回路。

【請求項 11】 前記入出力回路は、

基準クロックを発生させる基準クロック発生回路と、

前記基準クロック及び前記テストクロックのいずれかと同期して前記シリアルデータを送信する信号送信部と、

前記基準クロックと同期して前記シリアルデータから前記変換信号を生成する

信号受信部と、

前記信号送信部が前記テストクロックと同期時において、前記位相誤差を検出するテスト回路

とを備えることを特徴とする請求項10に記載の半導体集積回路。

【請求項12】 前記テストクロックは、前記内部回路により供給されることを特長とする請求項10に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、自己テスト機能を有する入出力回路及び半導体集積回路に関する。

【0002】

【従来の技術】

ポートを介してデータの送受信を行う入出力回路においては、データと同期信号としてのクロック信号とを送受信する方式が知られている。データ及びクロック信号を送受信する方式は、転送レートが高速となるとデータの位相とクロック信号の位相とに互いにズレが生じる。この為、転送レートが高速の場合は、データのみを送受信する方式が用いられる。また、データの送受信を行う入出力回路を搭載した半導体集積回路をテストする際、出力端子からの送信データを入力端子に帰還して入出力回路のテストを行う「ループバックテスト」が知られている（例えば、特許文献1参照。）。更に、半導体集積回路内部にテスト回路を組み込む「組み込み自己テスト（BIST）」手法が注目されている（例えば、特許文献2参照。）。

【0003】

【特許文献1】

特開平10-170606号公報

【0004】

【特許文献2】

特開2001-343425号公報

【0005】

【発明が解決しようとする課題】

上述したループバックテストにおいては、一定時間送信データを入力端子に供給し、エラーが発生するか否かをテストする。信号受信部の保証値は 10^{-12} 以下のエラーレートである。テストを行う際、例えば 3.2 [Gbps] のビットレートで 10^{12} ビットのデータを転送するには 5 分以上の時間が必要となる。このように、テスト時間の増大に起因して半導体集積回路の検査効率の低下が生じている。

【0 0 0 6】

上記問題点を鑑み、本発明は、短時間で自己テストを実行可能な入出力回路及び半導体集積回路を提供することを目的とする。

【0 0 0 7】**【課題を解決するための手段】**

上記目的を達成する為に、本発明の第 1 の特徴は、（イ）基準クロックを発生させる基準クロック発生回路；（ロ）基準クロック及びテストクロックのいずれかと同期してシリアルデータを送信する信号送信部；（ハ）基準クロックと同期してシリアルデータから変換信号を生成する信号受信部；（ニ）信号送信部がテストクロックと同期時において、変換信号の位相とテストクロックの位相との位相誤差を検出するテスト回路を備える入出力回路であることを要旨とする。

【0 0 0 8】

本発明の第 2 の特徴は、（イ）テストクロックと同期してシリアルデータを送信し、シリアルデータから変換信号を生成し、変換信号の位相とテストクロックの位相との位相誤差を検出する入出力回路；（ロ）入出力回路を介して外部と信号を送受信する内部回路を備える半導体集積回路であることを要旨とする。

【0 0 0 9】**【発明の実施の形態】**

次に、図面を参照して、本発明の実施の形態を説明する。この実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0 0 1 0】

本発明の実施の形態に係る半導体集積回路 5 0 a は、図 1 に示すように、内部回路 5 1、内部回路 5 1 に接続された入出力回路 6 0 a を備える。内部回路 5 1 は、入出力回路 6 0 a を介して外部にシリアルデータ S S を伝達する。また、内部回路 5 1 は、外部からのシリアルデータ S D を入出力回路 6 0 a を介して受け取る。図 1 に示す入出力回路 6 0 a は、基準クロック S P を発生させる基準クロック発生回路 3 0、基準クロック S P 及びテストクロック C L K 2 のいずれかと同期してシリアルデータ S S を送信する信号送信部 1 0、基準クロック S P と同期してシリアルデータ S S から変換信号を生成する信号受信部 4 0、信号送信部 1 0 がテストクロック C L K 2 と同期時において、変換信号の位相とテストクロック C L K 2 の位相との位相誤差を検出するテスト回路 2 0 a を備える。基準クロック発生回路 3 0 は、半導体集積回路 5 0 a の外部から基準端子 5 を介して伝達される基準信号 S R e f に応じて、基準クロック S P の周波数を制御する。

【 0 0 1 1 】

更に、図 1 に示す信号受信部 4 0 は、入力端子 2 に接続されたレシーバ 4 1、レシーバ 4 1 と基準クロック発生回路 3 0 との間に接続されたクロック再生回路 4 2、レシーバ 4 1 及びクロック再生回路 4 2 に入力側が接続され、内部回路 5 1 に出力側が接続されたシリアル／パラレル変換器 4 3 を備える。レシーバ 4 1 は、半導体集積回路 5 0 a の外部からのシリアルデータ S D をバッファリングする。クロック再生回路 4 2 は、バッファリングされたシリアルデータ S D 及び基準クロック S P に基づいて再生クロック C L K 1 を生成する。シリアル／パラレル変換器 4 3 は、バッファリングされたシリアルデータ S D を再生クロック C L K 1 と同期してパラレルデータ D P 2 に変換する。

【 0 0 1 2 】

一方、図 1 に示す信号送信部 1 0 は、内部回路 5 1 に接続されたパラレル／シリアル変換器 1 1、パラレル／シリアル変換器 1 1 と出力端子 1 との間に接続されたドライバ 1 2 を備える。パラレル／シリアル変換器 1 1 は、基準クロック S P と同期して内部回路 5 1 からのパラレルデータ D P 1 をシリアルデータ S S に変換する。パラレル／シリアル変換器 1 1 は、テスト時にはテストクロック C L K 2 と同期して内部回路 5 1 からのパラレルデータ D P 1 をシリアルデー

タ S S に変換する。ドライバ 1 2 は、パラレル／シリアル変換器 1 1 からのシリアルデータ S S をバッファリングする。

【 0 0 1 3 】

またテスト回路 2 0 a は、図 1 に示すように、第 1 のテスト端子 3 及び第 2 のテスト端子 4 に入力側が接続され、パラレル／シリアル変換器 1 1 に出力側が接続されたセクタ 2 1、第 2 のテスト端子 4 及びクロック再生回路 4 2 に入力側が接続され、テスト出力端子 6 に出力側が接続されたクロック比較回路 2 3 を備える。半導体集積回路 5 0 a の外部から第 2 のテスト端子 4 を介して伝達されるテストクロック C L K 2 は、例えば、基準クロック S P と位相が異なる固定周波数のクロック信号である。セクタ 2 1 は、半導体集積回路 5 0 a の外部から第 1 のテスト端子 3 を介して伝達される切り替え信号 S C に基づき、基準クロック S P 及びテストクロック C L K 2 のいずれかを選択する。選択された基準クロック S P 又はテストクロック C L K 2 は、パラレル／シリアル変換器 1 1 に供給される。更に、クロック比較回路 2 3 は、変換信号としての再生クロック C L K 1 の位相とテストクロック C L K 2 の位相とを比較して位相誤差情報 S o u t を生成する。位相誤差情報 S o u t は、テスト出力端子 6 を介して例えば半導体集積回路 5 0 a 外部のロジックアナライザ等に伝達される。

【 0 0 1 4 】

図 1 に示す再生クロック C L K 1 は、図 2 に示すクロック比較回路 2 3 の比較クロック入力端子 2 5 に供給される。図 1 に示すテストクロック C L K 2 は、図 2 に示すテストクロック入力端子 2 4 に供給される。クロック比較回路 2 3 は、図 2 に示すように、比較クロック入力端子 2 5 に接続された遅延回路部 6 1、テストクロック入力端子 2 4 及び遅延回路部 6 1 に接続されたラッチ回路部 6 2、テストクロック入力端子 2 4 及びラッチ回路部 6 2 に接続された排他的論理和回路部 6 3、排他的論理和回路部 6 3 と誤差信号出力端子 2 6 との間に接続されたカウンタ部 6 4 を備える。

【 0 0 1 5 】

図 2 に示す遅延回路部 6 1 は、n 段接続された第 1 ～第 n 遅延回路 6 1 a ～ 6 1 n を備える (n ; 2 以上の整数)。ラッチ回路部 6 2 は、n 段接続された第 1

～第 n ラッチ回路62a～62nを備える。排他的論理和回路部63は、 $(n-1)$ 段接続された第1～第 $(n-1)$ の排他的論理和回路63a～63 $(n-1)$ を備える。カウンタ部64は、テストクロック入力端子24に接続されたインバータ回路65及び $(n-1)$ 段接続された第1～第 $(n-1)$ カウンタ64a～64 $(n-1)$ を備える。

【0016】

詳細には、第1遅延回路61aは、図2に示すように、第2遅延回路61bに入力側が接続され、第1ラッチ回路62aに出力側が接続される。第2遅延回路61bは、第3遅延回路61cに入力側が接続され、第2ラッチ回路62bに出力側が接続される。第3遅延回路61cは、第4遅延回路61dに入力側が接続され、第3ラッチ回路62cに出力側が接続される。第4遅延回路61dは、第5遅延回路61eに入力側が接続され、第4ラッチ回路62dに出力側が接続される。第5遅延回路61eは、第6遅延回路61fに入力側が接続され、第5ラッチ回路62eに出力側が接続される。第6遅延回路61fは、図示を省略する第7遅延回路に入力側が接続され、第6ラッチ回路62fに出力側が接続される。図示を省略する第7～第 $(n-1)$ 遅延回路も同様に構成されている。これに対して第 n 遅延回路61nは、比較クロック入力端子25に入力側が接続され、第 n ラッチ回路62nに出力側が接続される。第 n 遅延回路61nは、再生クロックCLK1を一定時間遅延させ、第 n 遅延クロックDnを第 $(n-1)$ 遅延回路に供給する。同様に、第1～第 $(n-1)$ 遅延回路61a～61 $(n-1)$ は、第1～第 $(n-1)$ 遅延クロックD1～D $(n-1)$ をそれぞれ生成する。

【0017】

また、図2に示す第1ラッチ回路62aは、第1遅延回路61a及びテストクロック入力端子24に入力側が接続され、第1排他的論理和回路63aに出力側が接続される。第2ラッチ回路62bは、第2遅延回路61b及びテストクロック入力端子24に入力側が接続され、第1排他的論理和回路63a及び第2排他的論理和回路63bに出力側が接続される。第3ラッチ回路62cは、第3遅延回路61c及びテストクロック入力端子24に入力側が接続され、第2排他的論理和回路63b及び第3排他的論理和回路63cに出力側が接続される。同様に

、第 n ラッチ回路 62 n は、第 n 遅延回路 61 n 及びテストクロック入力端子 24 に入力側が接続され、第 $(n-1)$ 排他的論理和回路 63 $(n-1)$ に出力側が接続される。第 1 ラッチ回路 62 a は、テストクロック CLK 2 の立ち上りと同期して第 1 遅延クロック D1 をラッチし、第 1 ラッチ信号 L1 を第 1 排他的論理和回路 63 a に供給する。第 2 ラッチ回路 62 b は、テストクロック CLK 2 の立ち上がりと同期して第 2 遅延クロック D2 をラッチし、第 2 ラッチ信号 L2 を第 1 排他的論理和回路 63 a 及び第 2 排他的論理和回路 63 b に供給する。同様に、第 n ラッチ回路 62 n は、テストクロック CLK 2 の立ち上りと同期して第 n 遅延クロック D n をラッチし、第 n ラッチ信号 L n を第 $(n-1)$ 排他的論理和回路 63 $(n-1)$ に供給する。

【0018】

図 2 に示す第 1 排他的論理和回路 63 a は、第 1 ラッチ回路 62 a 及び第 2 ラッチ回路 62 b に入力側が接続され、第 1 カウンタ 64 a に出力側が接続される。第 2 排他的論理和回路 63 b は、第 2 ラッチ回路 62 b 及び第 3 ラッチ回路 62 c に入力側が接続され、第 2 カウンタ 64 b に出力側が接続される。同様に、第 $(n-1)$ 排他的論理和回路 63 $(n-1)$ は、第 n ラッチ回路 62 n 及び図示を省略する第 $(n-1)$ ラッチ回路に入力側が接続され、第 $(n-1)$ カウンタ 64 $(n-1)$ に出力側が接続される。第 1 排他的論理和回路 63 a は、第 1 ラッチ信号 L1 及び第 2 ラッチ信号 L2 のいずれかがハイレベルの場合にのみ誤差検出信号 E1 を第 1 カウンタ 64 a に供給する。第 2 排他的論理和回路 63 b は、第 2 ラッチ信号 L2 及び第 3 ラッチ信号 L3 のいずれかがハイレベルの場合にのみ誤差検出信号 E2 を第 2 カウンタ 64 b に供給する。第 3～第 $(n-1)$ 排他的論理和回路 63 c～63 $(n-1)$ も同様な機能を有する。

【0019】

図 2 に示す第 1 カウンタ 64 a は、第 1 排他的論理和回路 63 a 及びインバータ回路 65 に入力側が接続され、誤差信号出力端子 26 に出力側が接続される。第 2 カウンタ 64 b は、第 2 排他的論理和回路 63 b 及びインバータ回路 65 に入力側が接続され、誤差信号出力端子 26 に出力側が接続される。同様に、第 $(n-1)$ カウンタ 64 $(n-1)$ は、第 $(n-1)$ 排他的論理和回路 63 $(n-1)$

1) 及びインバータ回路 65 に入力側が接続され、誤差信号出力端子 26 に出力側が接続される。第 1 カウンタ 64a は、第 1 排他的論理和回路 63a が生成するハイレベル信号をインバータ回路 65 が反転したテストクロック CLK2 と同期してカウントする。同様に、第 (n-1) カウンタ 64 (n-1) は、第 (n-1) 排他的論理和回路 63 (n-1) が生成するハイレベル信号をインバータ回路 65 が反転したテストクロック CLK2 と同期してカウントする。

【0020】

次に、図 1～図 5 を用いて本発明の実施の形態に係る入出力回路 60a の動作を説明する。但し、図 2 に示す遅延回路部 61 及びラッチ回路部 62 の段数をそれぞれ 8 段、また排他的論理和回路部 63 及びカウンタ部 64 の段数をそれぞれ 7 段とした場合について説明する。

【0021】

(イ) 先ず、図 1 に示す基準クロック発生回路 30 は、基準信号 SRef に応じて多相クロックである基準クロック SP を発生させる。基準クロック SP は、例えば図 3 (a)～(d) に示すように、互いに位相が 45° 異なるクロック信号群 SP1～SP4 である。図 1 に示すセクタ 21 は、基準クロック SP をパラレル／シリアル変換器 11 に伝達する。パラレル／シリアル変換器 11 は、基準クロック SP と同期して内部回路 51 からのパラレルデータ DP1 をシリアルデータ SS に変換する。ドライバ 12 は、パラレル／シリアル変換器 11 からのシリアルデータ SS をバッファリングする。

【0022】

(ロ) 次にテストが開始されると、図 1 に示す第 2 のテスト端子 4 を介してテストクロック CLK2 がセクタ 21 及びクロック比較回路 23 に供給される。更に、第 1 のテスト端子 3 を介してセクタ 21 に切り替え信号 SC が供給される。切り替え信号 SC がセクタ 21 に供給されると、セクタ 21 はテストクロック CLK2 をパラレル／シリアル変換器 11 に供給する。パラレル／シリアル変換器 11 は、テストクロック CLK2 と同期して内部回路 51 からのパラレルデータ DP1 をシリアルデータ SS に変換する。

【0023】

(ハ) 次に、レシーバ41は、ドライバ12からのシリアルデータSSを受信してバッファリングする。また、図1に示すクロック再生回路42は、図3(e)に示すように、図3(a)～(d)に示す基準クロックSP1～SP4に基づいて再生クロックCLK1を生成する。具体的には、クロック再生回路42は、バッファリング後のシリアルデータSDの定常状態時に再生クロックCLK1が立ち上がるように動作する。したがって、図3(f)に示すバッファリング後のシリアルデータSDが定常状態時の時刻t1、t2、t3、t4において、図3(e)に示すように、再生クロックCLK1の立ち上りエッジが生成されている。

【0024】

(ニ) 次に、図2に示す第1～第8遅延回路61a～61hは、図4(a)～(h)に示すように、第1～第8遅延クロックD1～D8をそれぞれ生成する。図4(h)に示す第8遅延クロックD8は時刻Hにおいて立ち上がる。図4(g)に示す第7遅延クロックD7は、時刻Hよりも一定時間遅延した時刻Gにおいて立ち上がる。同様に、図4(a)に示す第1遅延クロックD1は、図4(b)に示す第2遅延クロックD2の立ち上り時刻Bよりも一定時間遅延した時刻Aにおいて立ち上がる。一方テストクロックCLK2は、図4(i)に示すように、時刻Eにおいて立ち上がる。

【0025】

(ホ) 次に、図2に示す第1～第8ラッチ回路62a～62hは、図4(a)～(h)に示す第1～第8遅延クロックD1～D8を図4(i)に示すテストクロックCLK2の立ち上りと同期してそれぞれラッチする。この結果、図2に示す第1～第5ラッチ信号L1～L5はハイレベルとなる。第6～第8ラッチ信号L6～L8(図示せず)はローレベルとなる。

【0026】

(ヘ) 次に、図2に示す排他的論理和回路部63は、第1～第8ラッチ信号L1～L8の変化時において、ハイレベル信号をカウンタ部64に供給する。図2に示す第5排他的論理和回路63eは、第5カウンタ64eにハイレベル信号を供給する。これに対して第1～第4排他的論理和回路63a～63d及び第6～

第8排他的論理和回路63f～63h（図示せず）は、ローレベル信号を生成する。

【0027】

（ト）次に、図2に示す第5カウンタ64eは、第5排他的論理和回路部63eから供給されるハイレベル信号をテストクロックCLK2と同期してカウントする。カウンタ部64が生成するカウント値は、誤差信号出力端子26を介して図1に示すテスト出力端子6に位相誤差情報Soutとして伝達される。図5（a）に示す位相誤差情報Soutは、分布データの時間的な広がりが小さい。即ち、再生クロックCLK1の位相とテストクロックCLK2の位相とにズレが少なく、再生クロックCLK1が正常に生成されている。

【0028】

（チ）一方、図5（b）に示すように分布データの時間的な広がりが大きく、急激にカウント値が変化する位相誤差情報Soutがカウンタ部64から供給された場合、再生クロックCLK1の位相とテストクロックCLK2の位相とに若干ズレがあると判断できる。しかし、再生クロックCLK1の周波数とテストクロックCLK2の周波数とは略等しく、ランダムなノイズ成分は少ない。また、図5（c）に示すように位相誤差情報Soutの分布データの時間的な広がりが大きく、カウント値の変化が少ない場合、再生クロックCLK1の位相とテストクロックCLK2の位相とは大きくズレている。更に、再生クロックCLK1にはランダムなノイズ成分が多く含まれている。

【0029】

このように、本発明の実施の形態に係る入出力回路60aによれば、クロック比較回路23により、テストクロックCLK2の位相と変換信号の位相、即ち再生クロックCLK1の位相との位相誤差を検出できる。よって、クロック比較回路23が生成する位相誤差情報Soutに基づいて、クロック再生回路42が正常に動作しているか否かを即座に判断できる。したがって、短時間で自己テストを実行可能な半導体集積回路50aを提供できる。

【0030】

なお、実施の形態の第1の変形例に係る半導体集積回路50bとして、例えば

図 6 に示すように、内部回路 5 1 が発生させるクロック信号をテストクロック C L K 2 として利用しても良い。即ち、基準クロック S P と位相が異なるクロック信号であればテストクロック C L K 2 として利用できる。内部回路 5 1 がデジタル回路である場合、通常、内部回路 5 1 は P L L 回路及び水晶発振器等の同期信号生成用のクロック信号源を内蔵する。図 6 に示す入出力回路 6 0 b によれば、テストクロック C L K 2 を半導体集積回路 5 0 b の内部回路 5 1 が供給する為、図 1 に示す第 2 のテスト端子 4 を不要とすることが出来る。

【 0 0 3 1 】

また、実施の形態の第 2 の変形例に係る半導体集積回路 5 0 c として、図 7 に示すように、テスト回路 2 0 c が第 2 のテスト端子 4 に接続されたテストクロック生成回路 2 2 を備える構成でも良い。テストクロック生成回路 2 2 としては、例えば電圧制御発振器 (V C O) が利用できる。図 7 に示す第 2 のテスト端子 4 には直流電圧が印加される。テストクロック生成回路 2 2 として V C O を用いる場合、第 2 のテスト端子 4 に印加する直流電圧の電圧値と比例させて V C O の発振周波数を制御できる。図 7 に示す入出力回路 6 0 c によれば、テストクロック C L K 2 を可変とする構成なので、テスト回路 2 0 c により高速動作テスト及び低速動作テストを実施できる。

【 0 0 3 2 】

更に、実施の形態の第 3 の変形例に係る半導体集積回路 5 0 d として、図 8 に示すように、クロック比較回路 2 3 が、パラレルデータ D P 2 を変換信号としてテストクロック C L K 2 と比較する構成でも良い。クロック比較回路 2 3 は、パラレルデータ D P 2 の位相とテストクロック C L K 2 の位相とを比較する。即ち、図 2 に示す比較クロック入力端子 2 5 にパラレルデータ D P 2 が供給される。したがって、図 8 に示す入出力回路 6 0 d は、シリアル／パラレル変換器 4 3 が正常に動作するか否かをテストできる。また、テストクロック C L K 2 を可変とすることにより、テスト回路 2 0 d がシリアル／パラレル変換器 4 3 の高速動作テスト及び低速動作テストを実施できる。

【 0 0 3 3 】

(その他の実施の形態)

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0 0 3 4】

既に述べた実施の形態の第 2 の変形例及び実施の形態の第 3 の変形例においても、実施の形態の第 1 の変形例と同様に内部回路 5 1 がテストクロック C L K 2 を生成する構成でも良い。また、実施の形態の第 2 の変形例及び実施の形態の第 3 の変形例において、実施の形態と同様に半導体集積回路 5 0 c、5 0 d の外部から第 2 のテスト端子 4 を介して伝達されるテストクロック C L K 2 を利用しても良い。

【0 0 3 5】

また、上述した実施の形態の説明において、位相誤差情報 S o u t をロジックアナライザにより測定する一例を説明した。しかし、位相誤差情報 S o u t の判定回路を用いて自動的に半導体集積回路を検査することが可能である。また、クロック比較回路 2 3 が位相誤差情報 S o u t をシリアルデータで生成する一例を説明したが、位相誤差情報 S o u t はパラレルデータであってもよい。

【0 0 3 6】

上述した実施の形態の説明においては、内部回路 5 1 がパラレルデータ D P 1、D P 2 を入出力するとして説明したが、シリアルデータを入出力してもよい。この場合、図 1 に示すドライバ 1 2 が基準クロック S P 又はテストクロック C L K 2 と同期してシリアルデータを送信する。

【0 0 3 7】

更に、実施の形態の第 3 の変形例に係る入出力回路 6 0 d は、クロック比較回路 2 3 が、テストクロック C L K 2 と再生クロック C L K 1 とを更に比較する構成でも良い。即ち、クロック比較回路 2 3 を複数設けることにより、より信頼性が高くテストを実行できる。

【0 0 3 8】

このように本発明は、ここでは記載していない様々な実施の形態等を包含する

ということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【 0 0 3 9 】

【発明の効果】

本発明によれば、短時間で自己テストを実行可能な入出力回路及び半導体集積回路を提供できる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係る半導体集積回路の構成を示すブロック図である。

【図 2】

本発明の実施の形態に係るクロック比較回路の回路図である。

【図 3】

本発明の実施の形態に係る半導体集積回路の動作を示すタイムチャートである。

【図 4】

本発明の実施の形態に係るクロック比較回路の動作を示すタイムチャートである。

【図 5】

図 5 (a) ～ (c) は、本発明の実施の形態に係るクロック比較回路の出力信号例を示すグラフである。

【図 6】

本発明の実施の形態の第 1 の変形例に係る半導体集積回路の構成を示すブロック図である。

【図 7】

本発明の実施の形態の第 2 の変形例に係る半導体集積回路の構成を示すブロック図である。

【図 8】

本発明の実施の形態の第 3 の変形例に係る半導体集積回路の構成を示すブロック図である。

【符号の説明】

- 1…出力端子
- 2…入力端子
- 3…第 1 のテスト端子
- 4…第 2 のテスト端子
- 5…基準端子
- 6…テスト出力端子
- 1 0…信号送信部
- 1 1…パラレル／シリアル変換器
- 1 2…ドライバ
- 2 0 a ～ 2 0 d…テスト回路
- 2 1…セレクタ
- 2 2…テストクロック生成回路
- 2 3…クロック比較回路
- 2 4…テストクロック入力端子
- 2 5…比較クロック入力端子
- 3 0…基準クロック発生回路
- 3 0…P L L 回路
- 4 0…信号受信部
- 4 1…レシーバ
- 4 2…クロック再生回路
- 4 3…シリアル／パラレル変換器
- 5 0 a ～ 5 0 d…半導体集積回路
- 5 1…内部回路
- 6 0 a ～ 6 0 d…入出力回路
- 6 1…遅延回路部
- 6 1 a ～ 6 1 n…遅延回路
- 6 2…ラッチ回路部
- 6 2 a ～ 6 2 n…ラッチ回路

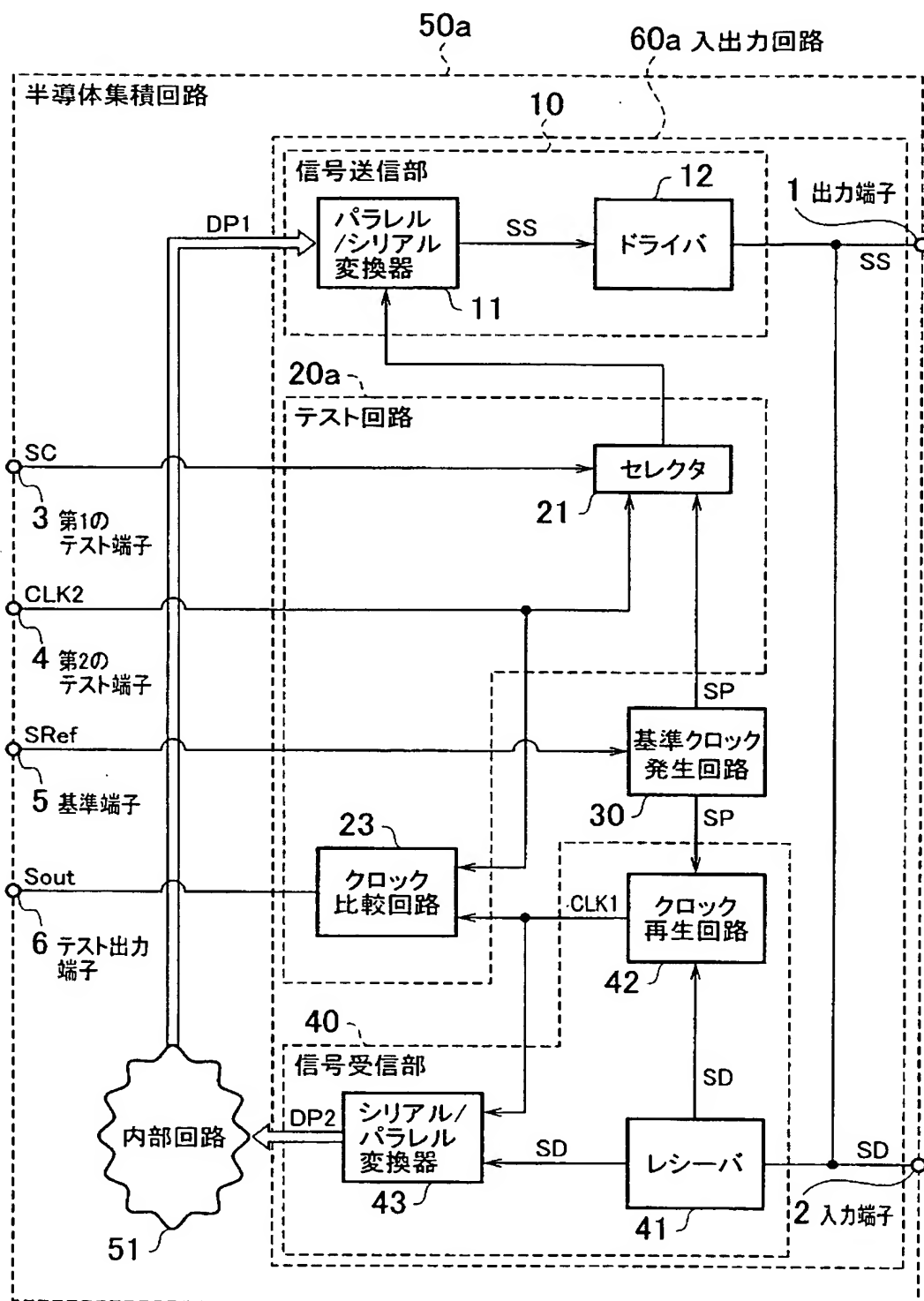
6 3 …排他的論理和回路部

6 4 …カウンタ部

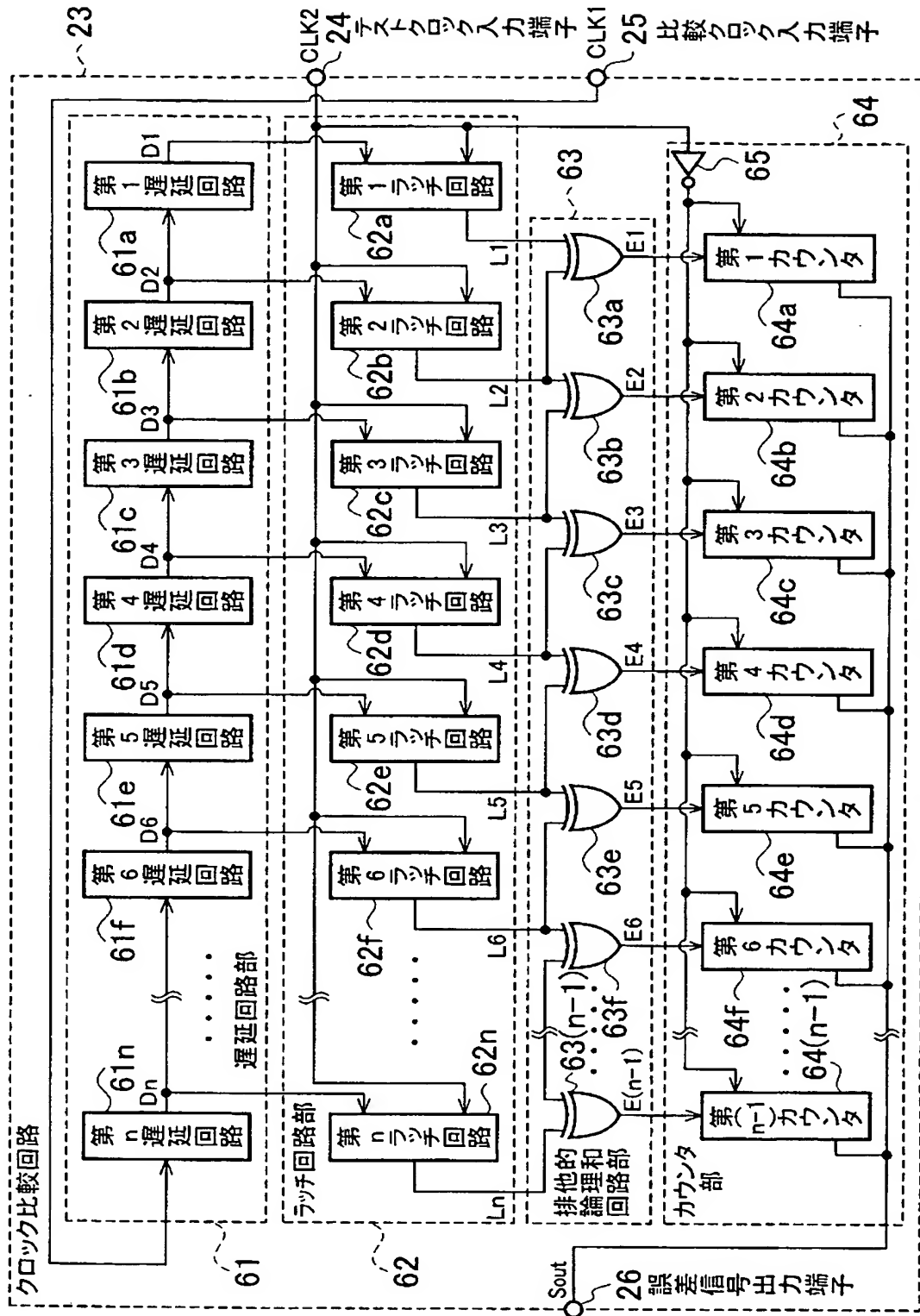
6 5 …インバータ回路

【書類名】 図面

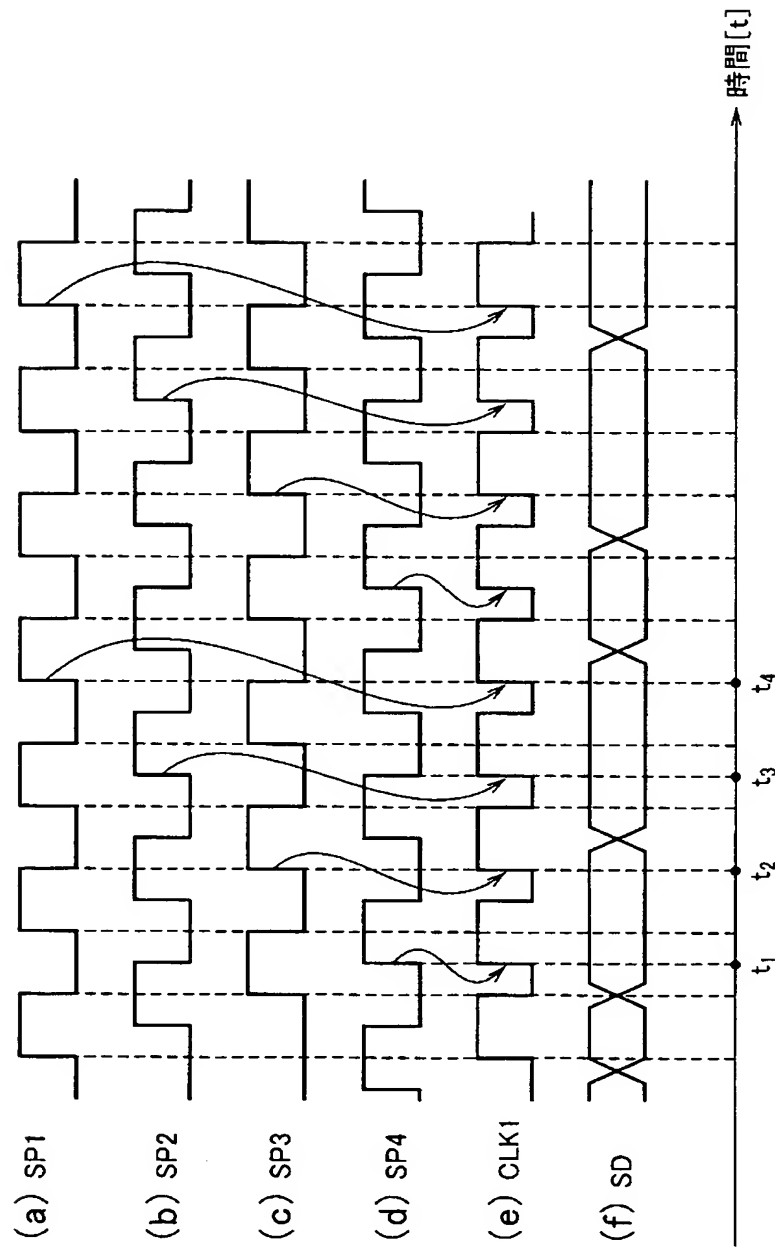
【図 1】



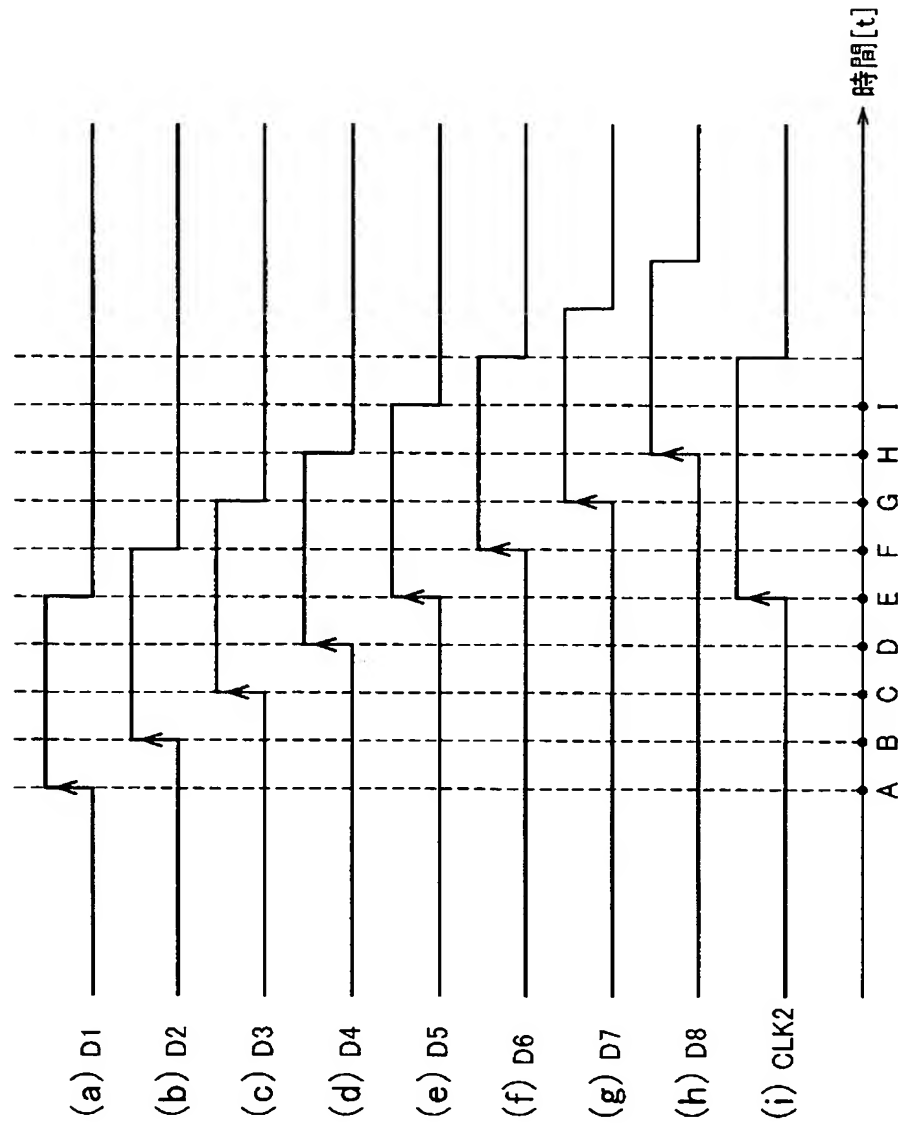
【図 2】



【図 3】

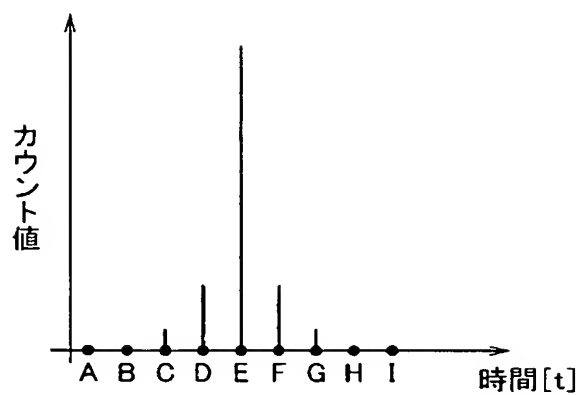


【図 4】

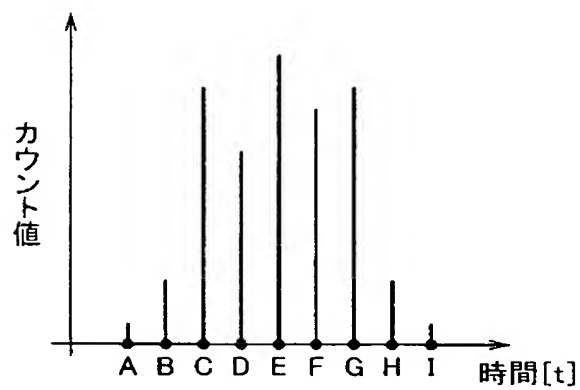


【図 5】

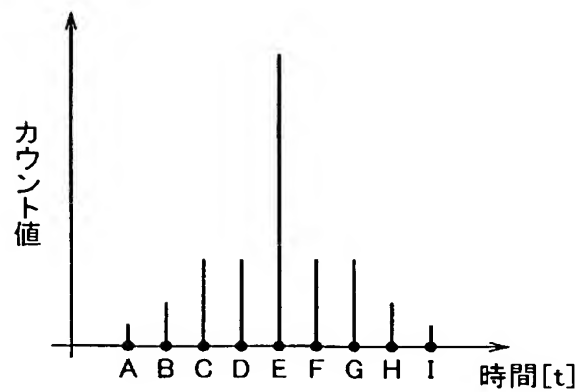
(a)



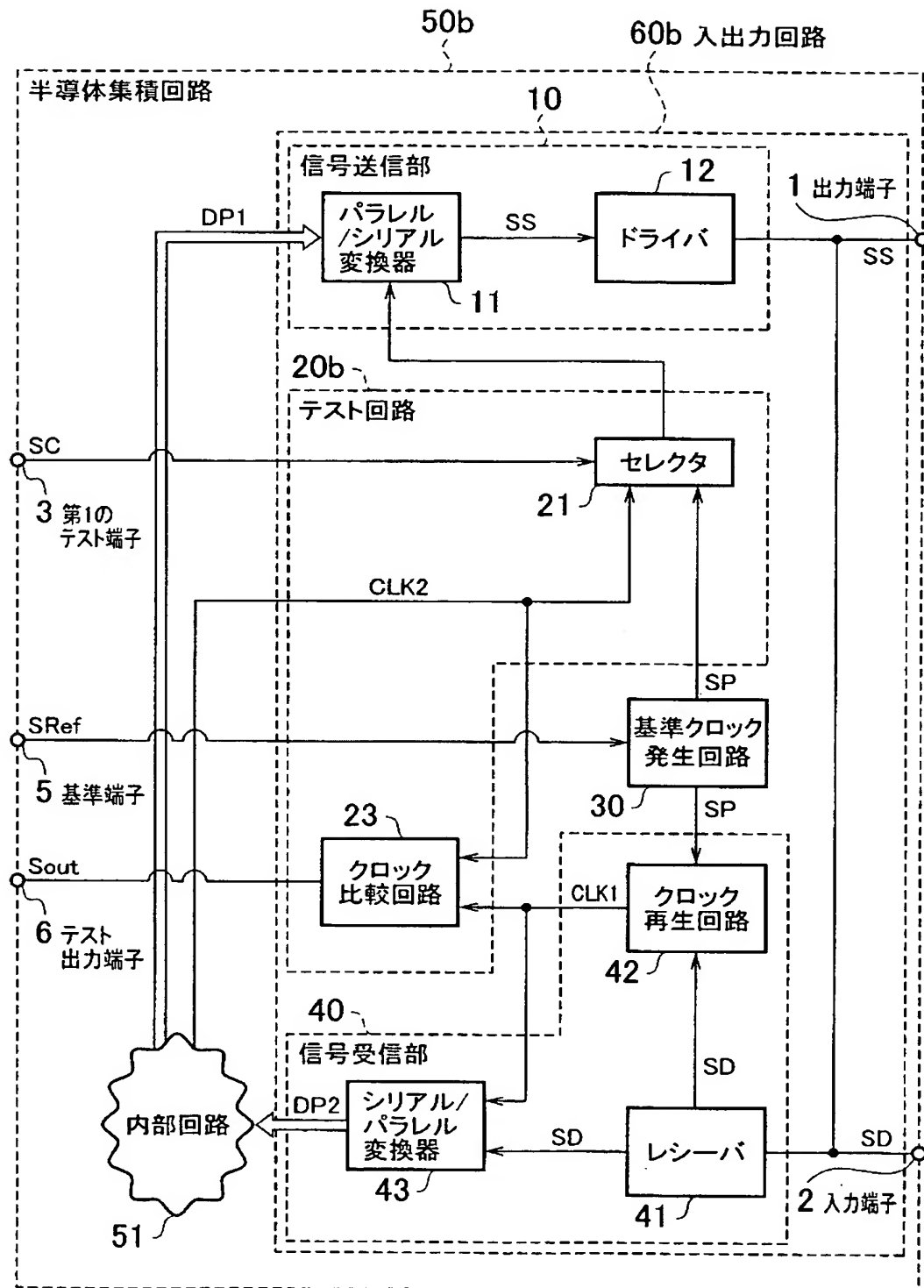
(b)



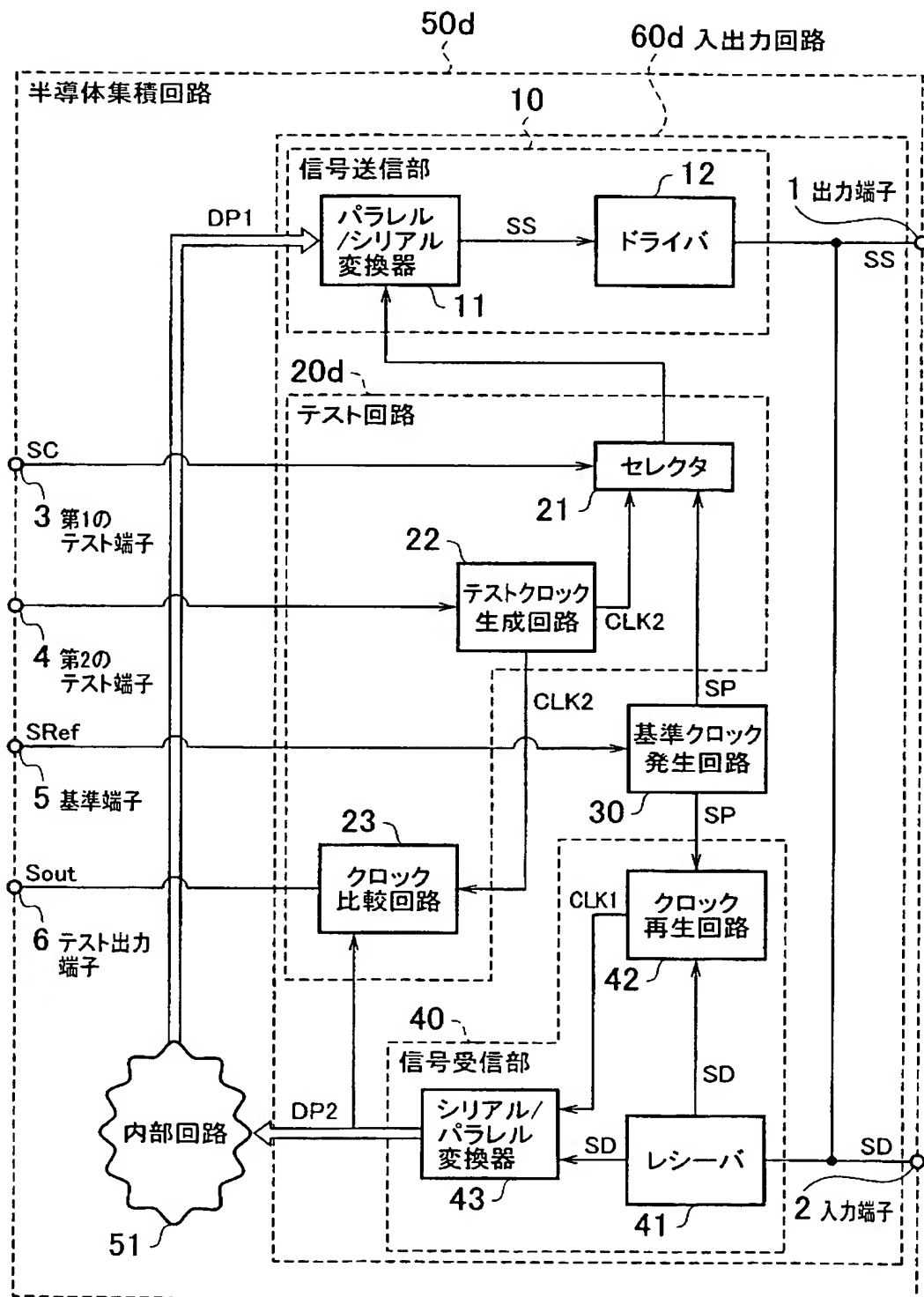
(c)



【図 6】



【図 8】



【書類名】 要約書

【要約】

【課題】 短時間で自己テストを実行可能な入出力回路及び半導体集積回路を提供する。

【解決手段】 基準クロック S P を発生させる基準クロック発生回路 3 0、基準クロック S P 又はテストクロック C L K 2 と同期してシリアルデータ S S を送信する信号送信部 1 0、基準クロック S P と同期してシリアルデータ S S を変換して変換信号を生成する信号受信部 4 0、信号送信部 1 0 がテストクロック C L K 2 と同期時に、変換信号の位相とテストクロック C L K 2 の位相との位相誤差を検出するテスト回路 2 0 a を備える。

【選択図】 図 1

特願 2 0 0 3 - 1 2 4 2 8 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝